

基于 ARM Cortex-M0+处理器，内置高达 256KB Flash 存储器，集成三相门级驱动，集成定时器，ADC, CMP, 高精度内置时钟及丰富的通信接口，1.8V 至 5.5V 工作电压

数据手册

## 产品特性

- 处理器: 48MHz 32bit Cortex-M0+
- Flash存储器:
  - 总容量: 128KB-256KB
  - 页容量: 512B
  - 支持擦写保护
- RAM存储器: 12KB-24KB, 支持奇偶校验
- 时钟系统:
  - 8MHz 内部高速时钟
  - 32KHz 内部低速时钟
  - 4MHz~26MHz外部高速晶振
  - 32KHz 外部低速时钟
  - 48MHz PLL时钟
- 电源管理系统:
  - 电源VCC: 1.8V-5.5V
  - 上电/掉电复位(POR/PDR)
  - 低电压检测(LVD)
  - 多种功耗模式: 运行/睡眠/深度睡眠/停止
- 运行温度范围: -40°C-105°C
- DMA: 4通道
- 定时器/计数器:
  - 1个2通道(一对互补)通用16位定时器
  - 2个1通道(一对互补)通用16位定时器
  - 9个1通道通用16位定时器
- 1个32位基准定时器, 可分成2个16位基准定时器及4个8位基准定时器
- 1个24位可编程支持窗口模式看门狗
- 1个支持万年历的实时时钟
- 三相门极驱动:
  - 耐压最高支持600V
  - 支持10V-25V供电
  - 支持过流、欠压保护
- 通讯接口:
  - 2个SAU: 最大支持8个通道, 可支持4个UART/8个SPI/8个简易I2C(主模式)
  - 2个标准UART
  - 2个标准I2C: 支持主从模式及高速I2C
  - 1个标准CAN: 支持CAN2.0A/B
- 硬件除法器: 支持32位无符号除法
- 硬件CRC: CRC-32
- 高速ADC:
  - 1Msps采样率及12位分辨率
  - 10个外部通道和4个内部通道
- DAC: 2个10位分辨率DAC
- CMP: 2个轨到轨输入输出模拟比较器
- 通用I/O:
  - 支持上拉/下拉/开漏/驱动可配置
  - 最大支持58个I/O
- 封装: LQFP64

## 1 简介

本产品采用高性能 ARM Cortex-M0+ 32 位处理器,最高频率达到 48MHz,内嵌存储容量最高达到 256KB 高速 Flash 存储器和 24KB SRAM 存储器,集成三相门级驱动,最大耐压达 600V,支持过流、欠压保护,集成了丰富的 I/O 端口及多种功能外设。集成 1 个采样率高达 1Msps 的 12 位 ADC、1 个高精度高频 8MHz 时钟和 1 个 32KHz 低频时钟、2 个 10 位 DAC 和 2 个 CMP、12 个通用 16 位定时器、1 个基准定时器,此外还包含多个标准通信接口: 2 个 SAU(最大支持 4 个 UART/8 个 SPI/8 个简易 I2C)、2 个标准 I2C (支持主从模式和高速 I2C)、2 个标准 UART 及 1 个标准 CAN 模块。

本产品供电电压为 1.8V-5.5V,覆盖-40℃至+105℃宽温度范围,提供多种省电模式保证低功耗应用的要求,具有高可靠性、高整合度和高抗干扰性。

本产品提供多种封装形式,可以应用在多种应用场合:

- ◇ 工业应用
- ◇ 家电控制
- ◇ 电机驱动和应用控制

## 2 产品型号

ACM10GX 系列系列产品型号及功能如下表所示：

**表 1 产品型号及功能**

产品型号	ACM102LGG	ACM102LJG
封装	LQFP64	
GPIO	41	
Flash(KB)	128	256
SRAM(KB)	12	24
CPU	Cortex M0+	
TIM	8	
BTM	1	
RTC	1	
WDT	1	
SAU	6ch	
UART	1	
I2C	2	
CAN	1	
BUZ	2	
ADC	10	
DAC	2	
CMP	2	

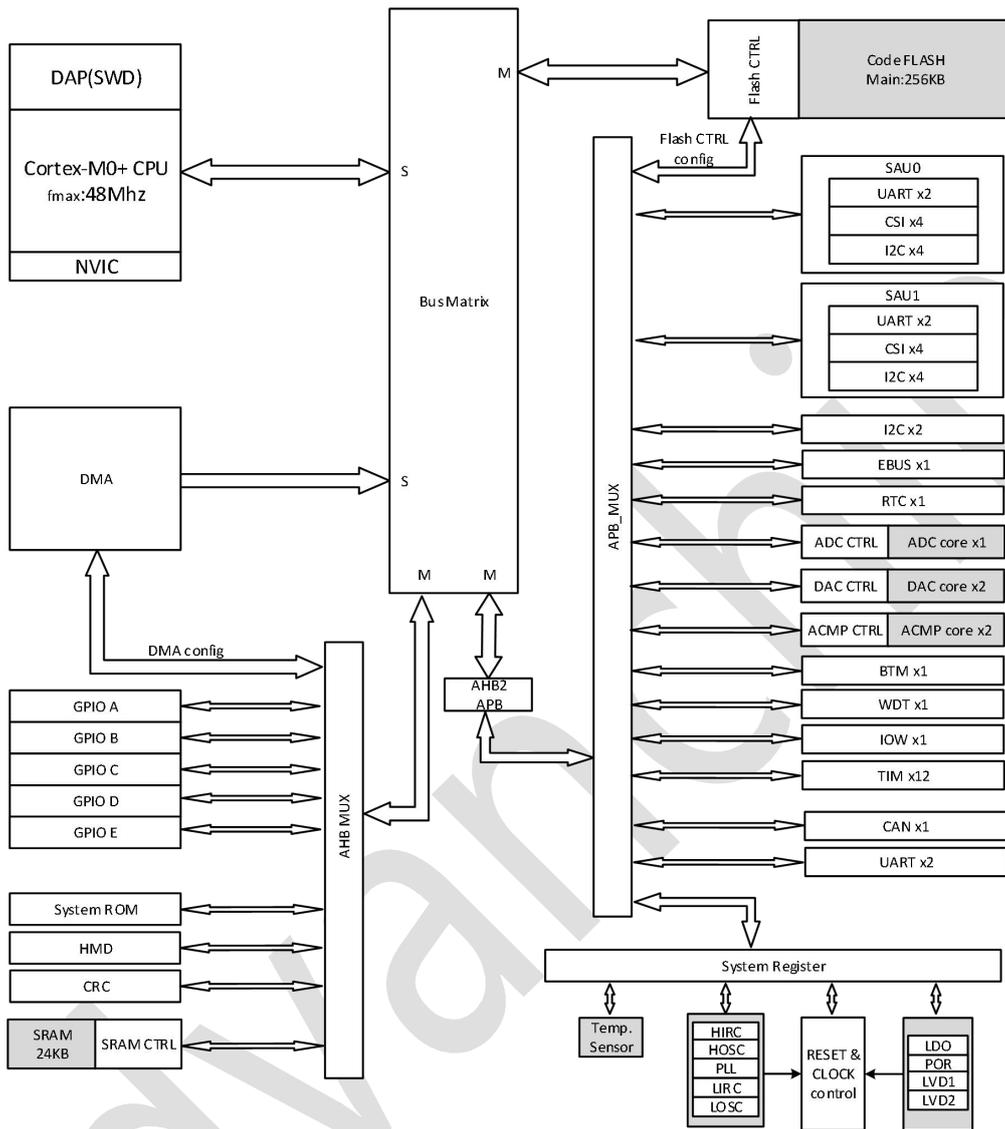


图 1 模块框图

## 3 功能概述

### 3.1 CPU

Cortex®-M0+ 处理器是一款低门数、高效能的 32-bit 处理器内核，专为要求面积优化、低功耗处理器的单片机及深度嵌入式应用而设计。Cortex®-M0+ 处理器基于 ARMv6-M 架构，支持 Thumb® 指令集。该处理器还提供了许多功能，如硬件乘法器和低延迟中断响应时间。

- 高达 48MHz 的工作频率
- 单周期乘法
- 集成嵌套向量中断控制器 (NVIC)
- 24-bit SysTick 定时器

### 3.2 Flash 存储器

Flash 存储器是非易失性的可重复编程的存储器，存储的数据或程序即使芯片掉电也可保存。Flash 的控制器接口支持 32 位的 AHB 和 APB 总线。

- 程序 Flash: 存储空间分为如下两部分
  - 主存储区 (main flash)：总容量最高达 256KB, 分为 512 个页 (sector)，每页容量为 512B (字节)
  - 信息存储区 (info flash)：总容量 3.5KB, 分为 7 个页，每页容量为 512B
- 可以按 byte(8 位)、half-word(16 位)、word(32 位)烧写
- 支持页擦除和全擦除
- 支持多种页保护
- 支持选项字节 (option byte) 的读取和 crc 校验
- 支持安全模式，保护代码内容
- 支持主存储区数据加密。

### 3.3 RAM 存储器

最大支持24KB的RAM存储器，支持奇偶校验。

### 3.4 时钟

系统时钟的选择在启动的过程中就完成了相关的配置，其中内部 RC 8MHz 振荡器默认选为系统时钟。启动完成之后，外部 8MHz 时钟、内部 32KHz RC 振荡器、外部 32KHz 时钟和锁相环 48MHz 时钟可供选择使用，其中选择外部时钟的时候也会开启时钟监视模块，一旦检测到时钟丢失，芯片会自动切换到内部频率接近的 RC 振荡器时钟继续运行。

- 8MHz 内部 RC 时钟 (HIRC)
- 8MHz 外部晶振时钟 (HOSC)
- 48MHz 高速内部时钟 (PLL)
- 32KHz 低速内部时钟 (LIRC)，可用于驱动看门狗或者实时时钟模块从深度睡眠或停止模式下自动唤醒
- 32.768 KHz 低速外部晶振时钟 (LOSC)，可选作实时时钟模块的工作时钟

### 3.5 复位

芯片包含以下几类复位源：

- 外部 RC 复位 (PAD\_RSTJ)
- 上电复位 (POR\_RSTJ)
- VCCIO 低电压检测复位 (LVD\_RSTJ)
- 看门狗定时器复位 (WDT\_RSTJ)
- 系统软件复位 (SYS\_RSTJ)
- LOCKUP 复位 (LOCKUP\_RSTJ)

### 3.6 电源

ACM10GX 系列内嵌一个电压调节器，用于向数字电源域供电。模拟电路、IO、内核、存储、数字外设的电源供应如下：

- 模拟电路模块部分电源供应

VCCA 为 1.8V 到 5V，用于供应 ADC、电压检测模块、外部振荡器、带隙基准、LDO、DAC、CMP

- IO 电源供应  
VCCIO
- 内核、存储、数字外设的电源供应  
VDD

### 3.7 三相门级驱动

三相门级驱动器为600V门级驱动HIVC，内部包含6个通道，包含过流保护和故障输出。

- 耐压最高支持 600V
- 强大的抗负压能力
- 强大的抗共模瞬态噪音
- 供电范围 10V-20V，最大支持 25V
- 所有通道传输延时匹配
- 所有通道均支持欠压保护功能
- 当出现欠压保护、过流，故障引脚开漏输出
- 外部可设置延时时间来清除故障

### 3.8 通用 I/O

通用输入输出（GPIO）模块可以通过外设总线访问，也可以通过AHB\_Lite总线与CPU通信。GPIO寄存器支持8/16/32位访问。

- GPIO 输出实现置 1、清 0、翻转
- 通过控制寄存器中置位和清零寄存器实现安全操作
- 输入采样通过使用 2 级触发器避免发生亚稳态
- 引脚上拉、下拉
- 推挽输出
- 支持事件触发实现置位、清零、翻转

### 3.9 DMA

DMA模块用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输；传输过程中无须CPU参与；故CPU可同步进行其它操作。DMA具有4条独立的DMA通道，每个通道专门用来管理来自于外设或存储器访问的请求。还有一个仲裁器来协调各个DMA请求的优先权。

- 支持 4 个独立 DMA 通道，支持优先级配置
- 支持 32 位 AHB-lite 接口
- 支持多种传输类型
  - 存储器到存储器
  - 存储器到外设
  - 外设到存储器
- 支持 3 种数据位宽：8-bit, 16-bit, 32-bit
- 传输数据长度可配置范围 1-65536

### 3.10 CRC

CRC是循环冗余校验模块，它可以根据生成多项式得到CRC校验码。CRC模块还可以对Flash存储的代码进行校验，以此来确保代码的正确性。

- 支持 CRC-32（以太网）生成多项式：0x4C11DB7
- 支持 32 位输入和输出
- 支持输入反转和输出反转
- 支持 0 延迟的 CRC 计算
- CRC 初始值可配置

### 3.11 硬件除法器(HMD)

HMD是硬件除法器模块，可以进行硬件的除法运算，运算速率超过CPU的除法可以应用在一些实时性要求比较高的计算中。

- $32\text{bits}/32\text{bits} = 32\text{bits}$ , 32bits reminder(无符号) (16 个时钟)

### 3.12 ADC

芯片集成一个12bit分辨率的逐次逼近型模数转换器，该模数转换器支持最多21个通道的模拟信号输入，其中，10个通道连接到芯片外部。模数转换器支持可配置最高1Msps的转换率，转换结果保存在独立的结果寄存器中

- 支持最高可达 1Msps 采样率；
- 支持 10 个外部通道采样和 4 个内部通道采样；
- 支持 8-bit, 10-bit, 12-bit 分辨率可配置；
- 支持单次转换或者循环转换模式；
- 支持连续或者非连续转换模式；
- 支持最多 4 通道序列转换；
- 支持硬件自动比较功能；
- 支持 DMA 功能；
- 可配置低功耗工作模式；
- 支持 STOP 模式唤醒；
- 可配置硬件/软件触发；
- 可配置采样时间；

### 3.13 TIM

通用定时器 (TIM) 是由一个带自动加载功能的16位计数器构成，支持可编程预分频计数。定时器可用于多种用途：对输入信号脉冲宽度量测、比较输出、PWM输出或带死区插入的互补PWM输出。

- 16 位递增自动重载计数器
- 支持 1/2/4/8/16/32/64/128/256/512/1024 计数器时钟预分频 (可运行时修改)
- 通道配置

-支持 1 对互补通道和 1 个单通道 (TIM0)

- 支持 1 对互补通道 (TIM1/2)
- 支持 1 单通道 (TIM3/4/5/6/7/8/9/10/11)
- 通道功能
  - 输入捕获
  - 输出比较
  - PWM 输出
  - 单脉冲模式输出
- 带可编程死区的互补输出 (仅 TIM0~2 通道 1)
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路
- 支持断路输入将输出信号置于复位状态或预写状态
- 支持以下事件的中断生成:
  - 更新: 计数器溢出, 由软件或内外部事件触发计数器初始化
  - 触发事件 (计数器开始、停止、初始化或内外部触发导致的计数动作)
  - 输入捕获
  - 输出比较

### 3.14 BTM

基准定时器 (BaseTimer, BTM) 是由四个可自动加载初值的 8 位子定时器构成, 其中每个 8 位子定时器功能相同但也可独立工作。两个 8 位子定时器可组成一个 16 位定时器, 也就是说可支持两个 16 位定时器独立工作, 并且功能一致。而且, 四个 8 位子定时器可配置组合成一个 32 位定时器工作。

- 8 位计数器模式: 四个可自动加载初值的 8 位向上计数器, 各自独立
- 16 位计数器模式: 两个可自动加载初值的 16 位向上计数器, 各自独立
- 32 位计数器模式: 一个可自动加载初值的 32 位向上计数器

- 16 位捕获模式：一个 16 位计数器基于计数时钟正常计数；另外一个 16 位计数器可作为触发有效事件的预分频器
- 当计数器上溢时，计数器自动恢复为 0，产生中断
- 计数器工作时钟源可选
- 可编程中断，4 个计数器的中断使能可编程
- 支持输出触发事件至 EBUS 系统

### 3.15 WDT

看门狗 (Watchdog Timer, WDT) 是一个 24 位向下计数器，可提供预警中断和系统复位功能，便于维持系统稳定，一旦软件出现异常时，系统可通过复位恢复到正常运行状态。

- 24 位向下计数器
- 两种运行模式
  - 普通模式
  - 窗口模式
- 有条件复位
  - 计数器下溢
  - 在窗口期外喂狗
- 支持可编程预警中断产生机制
- 预警中断 (EWI)：预警阈值可编程
- 配置寄存器安全锁功能
  - WDT\_KR 可关闭其他配置寄存器写操作
  - 输入正确的解锁码可以开启其他配置寄存器写操作功能
- 时钟源可编程选择
- WDT 可在系统所有功耗模式下运行

- 调试模式：在 CPU 调试模式下 WDT 可暂停工作

### 3.16 RTC

实时时钟 (Real-Time Counter , RTC) 提供了带有万年历功能的时钟计数器，支持灵活编程闹钟功能以及时钟校正。

- 万年历功能，含年、月、日（周计数或月计数）、时（12 小时制或 24 小时制）、分、秒以及亚秒
- 支持软件可编程夏令时补偿
- 支持时钟数字校正，32/16/8 秒校正窗口内周期性计数器校准
- 支持带中断机制可编程闹钟功能，其触发可支持由日、时、分和秒四个任意组合
- 产生周期性标志触发自动唤醒中断
- 中断和事件可屏蔽：闹钟和唤醒中断
- 支持输出事件至 EBUS
  - 秒、分、时、日、月及年更新
  - 16 位唤醒定时器下溢事件

### 3.17 SAU

串行阵列单元 (SAU) 由最多四个通道构成，每个通道可以实现 3 线串行通信，UART 或者简易 I2C 通信，每个通道配置及操作方法完全相同。

3 线串行总线模式(时钟，串行输入，串行输出)

- 数据长度 7/8bit
- 发送/接收数据相位控制
- MSB/LSB 选择
- 发送/接收数据电平控制
- 主/从选择
- 输入/输出时钟相位控制

- 可配置波特率
- 传输结束中断/缓冲器空中断
- 溢出错误检测中断
- 低功耗模式唤醒

## 2 线 UART 功能(串行输入 RX, 串行输出 TX)

- 数据长度 7/8/9bit
- MSB/LSB 选择
- 发送/接收数据的电平设置及反相选择
- 奇偶检验位发送/校验功能
- 1bit/2bit 停止位
- 传输结束中断/缓冲器空中断
- 帧错误, 奇偶校验错误, 以及溢出错误检测中断
- 低功耗模式唤醒
- LIN-bus 功能: 唤醒信号检测/间隔短 (BF) 检测/同步段测量、波特率计算(使用边沿检测和定时器单元)

## I2C 功能

- 主发送/主接收(仅限单一节点主功能)
- ACK 输出功能以及 ACK 检测功能
- 数据长度 8bit
- 传输结束中断/缓冲器空中断
- ACK 错误, 溢出错误检测中断

## 3.18 UART

通用异步收发器是一种使用 2 线: 串行数据发送线(TXD)和串行数据接收线(RXD)的异步通信功能。利用这两条通信线路, 各数据帧 (由一个起始位、数据、奇偶校验位和停止位构成) 在单片机与其他通信方之间 (以内部波特率) 异步传送。

- 数据长度支持 5/7/8bit
- 可选择数据传输 MSB 优先或者 LSB 优先
- 波特率设置
- 支持全双工通信
- 1bit/2bit 停止位
- 帧错误，奇偶校验错误，以及溢出错误检测中断
- 接收/发送电平反相
- 可配置单笔发送模式和连续发送模式
- 接收通道滤波电路
- 发送数据绕回功能
- 支持 DMA 数据访问
- 支持低功耗模式下唤醒

### 3.19 I2C

I2C 总线由两条线路组成，分别是串行时钟线(SCL)与串行数据线(SDA)，SDA 与 SCL 都是双向的。可以通过 I2C 总线与其他设备进行通信，将串行数据输入转换成并行或将并行数据转换成串行输出，传输过程可开启或禁止中断。支持 DMA 来搬运数据从而减少 CPU 工作；

- I2C 主设备功能
  - 产生通信时钟
  - 产生开始条件，停止条件
  - 通信数据收发
  - 响应信号收发
- I2C 从设备功能
  - 从机地址可编程
  - 开始条件，停止条件检测

- 通信数据收发
- 响应信号收发
- 通信速度支持 10Kbps/100Kbps/400Kbps/1Mbps
- 支持 DMA 数据搬运
- 支持 I2C 总线仲裁
- 支持 I2C 总线多主通信
- 7/10 bit 地址通信
- 扩展代码地址识别

### 3. 20 DAC

D/A 转换器是一个拥有 10 比特分辨率的数字到模拟的电压转换器，拥有 2 个独立的模拟输出通道，可通过硬件和软件两种方式触发更新输出电压。

- 10Bit 分辨率\*2 通道
- 模拟电平输出
  - $DAC\_OUT=VCCA*(DAC\_CODE+1)/1024$
- 软件更新 & 硬件更新
- EBUS 多通道选择触发

### 3. 21 CMP

模拟比较器用于比较两个模拟电压输入，比较器电路设计应用于整个电源电压范围内；共有 2 个模拟比较器，每个比较器可根据使用需求进行比较电压档位选择；

- 电压比较器输入选择
- 比较器迟滞能力选择
  - 无迟滞
  - 25mV

- 50mV
- 100mV
- 支持数字滤波功能
- 支持输出翻转
- 支持有效沿触发中断响应
- 支持发送 EBUS 触发事件

### 3.22 EBUS

外设事件系统能够让片上不同外设之间在不通知 CPU 的情况下，直接进行通信，多个外设支持编程为发送事件/接收事件，产生事件的具体条件以及接收事件后的具体行为取决于外设模块的工作方式。接收事件的外设被称为从设备，发送事件的外设被称作主设备。一个外设模块可以既是从设备同时又是主设备。

- 时钟与系统时钟同步；
- 支持最多 8 个独立可配置的事件通道；
- 每个通道事件异步传输模式以及同步采样模式；
- 在同步采样模式中，具有以下边沿检测功能：
  - 将输入事件源同步后发送；
  - 在输入事件源的上升沿产生事件；
  - 在输入事件源的下降沿产生事件；
  - 在输入事件源的上升和下降沿都产生事件；
- 支持软件触发电平或脉冲事件；
- 支持相邻通道之间的逻辑组合输出；
- 支持发送事件到 CPU 作为 WFE；
- 支持最多 12 个独立的 I/O 电平检测通道；
- 可配置 12 个独立的 I/O 检测中断；
- 可配置 I/O 上升沿或者下降沿检测；

- 可配置 12 个独立的 IO 输入滤波功能；

### 3.23 CAN

CAN 总线系统广泛应用于汽车工业及其它工业环境中，它给微处理器之间提供了可进行数据编码解码、信息管理、通信同步、发送及接收信息的 CAN 总线接口；

CAN 控制器支持 BOSCH CAN2.0A 和 CAN2.0B；可进行标准报文格式传输（11 位标识符）和扩展报文格式传输（29 位标识符）；

- 支持 BOSCH CAN2.0A 和 CAN2.0B
- 支持 5Kbps~1Mbps 波特率传输
- 支持 11 位标识符和 29 位标识符
- 有 16\*32bit 接收缓冲
- 支持信息过滤
- 支持监听模式
- 接收自身报文
- 自测模式
- 总线错误中断
- 保存位信息的仲裁丢失中断
- 读写错误计数
- 错误状态信息记录
- 可配置错误个数预警

### 3.24 IOW

键入中断模块提供了 8 个独立的 IO 输入检测通道，在所有低功耗模式下，当目标检测边沿发生时，都可以发出中断唤醒系统。

- 支持 8 个独立的通道进行按键检测；

- 每个通道独立可编程上升沿检测或者下降沿检测；
- 每个通道独立可编程中断产生使能；
- Sleep/Deep sleep/Stop 模式下唤醒系统；

### 3.25 LVD

低电压检测电路用于比较电源电压和目标检测电压，当发生低电压情况时产生内部复位或内部中断。

LVD1 检测到低电压后发生 LVD Reset，默认开启；

LVD2 检测到低电压后发生 LVD Interrupt，可配置滤波功能，默认关闭；

## 4 引脚定义

ACM10GX 系列芯片支持 LQFP64 封装，对应的引脚排布如下所示。

### 4.1 64 pin 封装

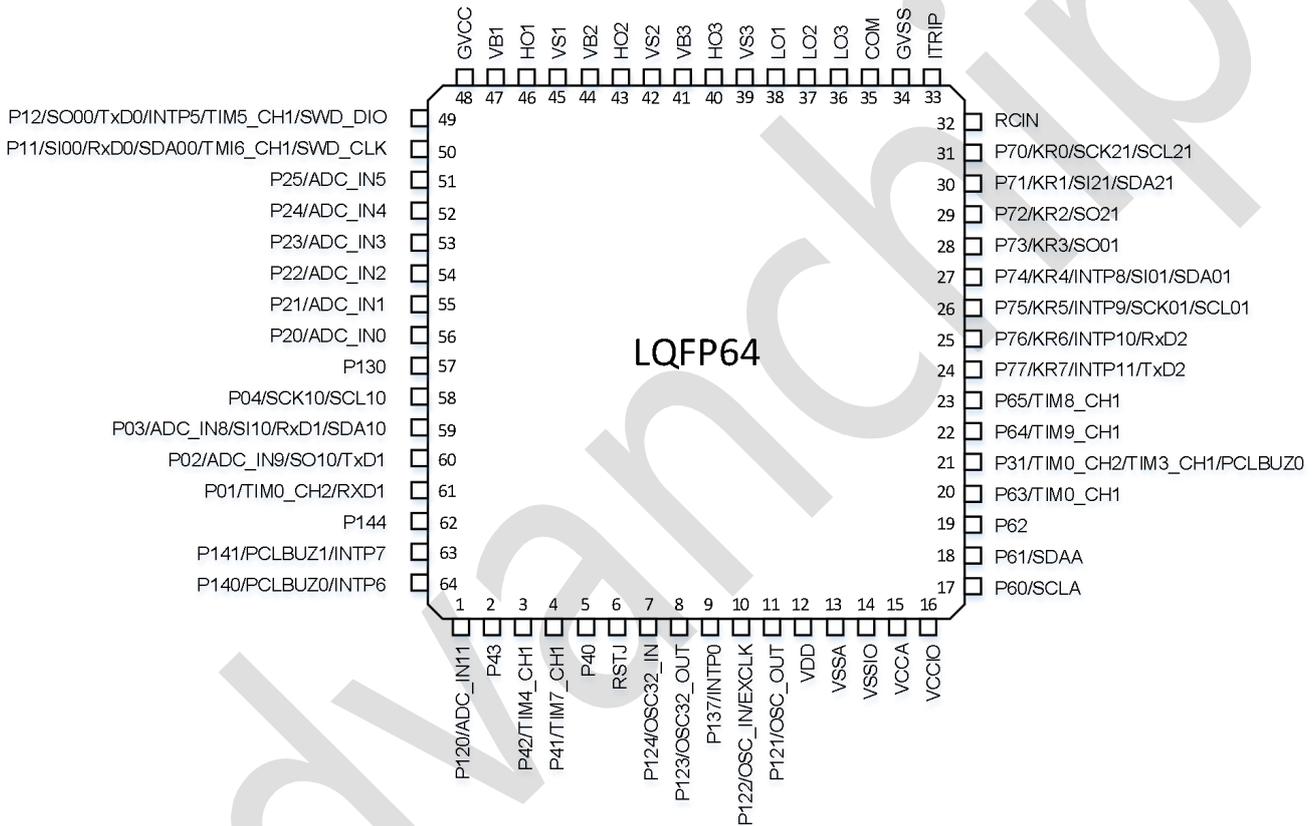


图 2 LQFP64 封装

### 4.2 引脚功能复用

表 2 引脚缩写定义

名称	缩写	定义
	S	电源引脚
	I/O	通用 Input/Output 引脚

引脚类型	FLT	带滤波功能的通用 I/O 引脚
	NRST	复位引脚
	GF	门级驱动功能引脚
	GO	门级驱动输出引脚
	GV	门级驱动电源引脚
	GS	门级驱动地引脚

表 3 封装引脚定义

引脚号	引脚名称	引脚类型	引脚功能	
			GPIO 组	模拟功能
1	P120	I/O	PC15	ADC_IN16 CMP1
2	P43	I/O	PB12	
3	P42	I/O	PB11	
4	P41	I/O	PB10	
5	P40	I/O	PB9	
6	RSTJ	NRST		
7	P124	I/O	PD3	LIN
8	P123	I/O	PD2	LOUT
9	P137	I/O	PD5	
10	P122	I/O	PD1	HIN
11	P121	I/O	PD0	HOUT
12	VDD	S		
13	VSSA	S		

14	VSSIO	S		
15	VCCA	S		
16	VCCIO	S		
17	P60	FLT	PC3	
18	P61	FLT	PC4	
19	P62	FLT	PC5	
20	P63	FLT	PC6	
21	P31	I/O	PB8	
22	P77	I/O	PC14	
23	P76	I/O	PC13	
24	P75	I/O	PC12	
25	P74	I/O	PC11	
26	P73	I/O	PC10	
27	P72	I/O	PC9	
28	P71	I/O	PC8	
29	P70	I/O	PC7	
30	P06	I/O	PA6	
31	P05	I/O	PA5	
32	RCIN	GF		故障清除时间设置电容
33	ITRIP	GF		过流保护输入
34	GVSS	GS		
35	COM	GO		下桥驱动回路

36	LO3	GO		下桥驱动输出
37	LO2	GO		下桥驱动输出
38	LO1	GO		下桥驱动输出
39	VS3	GO		上桥驱动回路
40	HO3	GO		上桥驱动输出
41	VB3	GO		上桥浮动电源
42	VS2	GO		上桥驱动回路
43	HO2	GO		上桥驱动输出
44	VB2	GO		上桥浮动电源
45	VS1	GO		上桥驱动回路
46	HO1	GO		上桥驱动输出
47	VB1	GO		上桥浮动电源
48	GVCC	GV		
49	P12	I/O	PA9	
50	P11	I/O	PA8	
51	P25	I/O	PB4	ADC_IN5
52	P24	I/O	PB3	ADC_IN4
53	P23	I/O	PB2	ADC_IN3 DAC1_OUT
54	P22	I/O	PB1	ADC_IN2 DAC0_OUT
55	P21	I/O	PB0	ADC_IN1
56	P20	I/O	PA15	ADC_IN0

57	P130	I/O	PD4	
58	P04	I/O	PA4	
59	P03	I/O	PA3	ADC_IN14
60	P02	I/O	PA2	ADC_IN15
61	P01	I/O	PA1	
62	P144	I/O	PE7	
63	P141	I/O	PD7	
64	P140	I/O	PD6	

引脚数字功能复用如下表所示。

**表 4 引脚功能复用**

引脚名称	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7
XP120	TXDA1							
XP43	SCK01_SCL01	CLKA1				SCK01_SCL01		
XP42	TIM4_CH1	TXDA1					SO10_SDA10_TXD1	
XP41	TIM7_CH1	RXDA1					SO11_SDA11_RXD1	
XP40								
XP124								
XP123								
XP137	PCLBUZ0	KR0	TIM0_BRK				INTP0	
XP122								
XP121								
XP60	I2CA0_SCL			SO00_SDA00_TXD0	CAN_RX			
XP61	I2CA0_SDA			SO01_SDA01_RXD0	CAN_TX			
XP62	I2CA1_SCL	SCK11_SCL11	TIM0_CH1N	SCK11_SCL11	CAN_DBG			
XP63	I2CA1_SDA	SI11	TIM0_CH1	SO11_SDA11_RXD1				
XP31	TIM3_CH1	SO11_SDA1	TIM0_CH2	TIM1_BRK	PCLBUZ0		INTP4	

		1_RXD1						
XP64	TIM8_CH1	EVT7	CAN_RX					
XP65	TIM9_CH1	EVT6	CAN_TX					
XP77	KR7		SO20_SDA 20_TXD2				INTP11	
XP76	KR6		SO21_SDA 21_RXD2		TIM7_CH1		INTP10	
XP75	KR5		SCK01_SC L01	SCK01_SCL 01			INTP9	
XP74	KR4		SI01	SO01_SDA0 1_RXD0			INTP8	
XP73	KR3		SO01_SDA 01_RXD0					
XP72	KR2		SO21_SDA 21_RXD2		TXDA0	TIM2_BRK		
XP71	KR1	EVT3	SI21	SO21_SDA2 1_RXD2	RXDA0			
XP70	KR0	EVT1	SCK21_SC L21	SCK21_SCL 21				
XP12	SO00_SDA0 0_TXD0	SO00_SDA0 0_TXD0	SWD_DIO		TIM5_CH1		INTP5	TIM2_BRK
XP11	SI00	SO01_SDA0 1_RXD0	SWD_CLK	SO00_SDA0 0_TXD0	TIM6_CH1			
XP25								
XP24								
XP23								

XP22								
XP21								
XP20								
XP130								
XP04	SCK10_SCL 10	SCK10_SCL 10						
XP03	SI10	SO10_SDA1 0_TXD1	SO11_SDA 11_RXD1					
XP02	SO10_SDA1 0_TXD1		SO10_SDA 10_TXD1					
XP01	TIM0_CH2	TIM0_CH1N		SO11_SDA1 1_RXD1				
XP144	SO30_SDA3 0_TXD3	SO30_SDA3 0_TXD3						
XP140	PCLBUZ0						INTP6	

## 5 存储器映射

本存储器和模块地址分配如下：

表 4 系统地址分配

Boundary Address	Size	Destination Slave
<b>Code</b>		
0x0000_0000-0x0000_0FFF	4K	程序 Flash/SRAM/Bootrom*
0x0000_1000-0x0000_1FFF	20K	程序 Flash/ SRAM
0x0000_6000 - 0x0003_FFFF	232k	程序 Flash
0x800_0000 - 0x0801_7FFF	96K	程序 Flash
0x800_0000 - 0x0801_FFFF	128K	程序 Flash
0x0800_0000 - 0x0802_FFFF	192K	程序 Flash
0x0800_0000 - 0x0803_FFFF	256K	程序 Flash **Flash support 96K/128K/192K/256K
0x1FFF_0000 - 0x1FFF_0FFF	3K	Bootrom
0x1FFF_0C00 - 0x1FFF_0FFF	1K	选项字节
<b>SRAM</b>		
0x2000_0000 - 0x2000_5FFF	24K	SRAM
0x2200_0000-0x23FF_FFFF	32MB	SRAM bit-banding alias address
<b>Peripheral</b>		
0x4000_0000-0x4000_FFFF	64KB	AHB-to-APB Space
0x4001_0000 - 0x4001_FFFF	64KB	AHB-to-APB Space1
0x4002_0000 - 0x4002_0FFF	4KB	DMA
0x4003_0000 - 0x4003_0FFF	4KB	CRC
0x4003_1000 - 0x4003_1FFF	4KB	HMD

Boundary Address	Size	Destination Slave
0x5000_0000 - 0x5000_0FFF	4KB	AHB peripherals (GPIOA)
0x5000_1000 - 0x5000_1FFF	4KB	AHB peripherals (GPIOB)
0x5000_2000 - 0x5000_2FFF	4KB	AHB peripherals (GPIOC)
0x5000_3000 - 0x5000_3FFF	4KB	AHB peripherals (GPIOD)
0x5000_4000 - 0x5000_4FFF	4KB	AHB peripherals (GPIOE)
0x4200_0000-0x43FF_FFFF	32MB	IO bit-banding alias address
0xF000_0000-0xF000_0FFF	4KB	System ROM Table
*Depending on: -> BOOT_SEQUE-E_CFG bits from option byte (0x1FFF_FF00)		
**If bootrom is 2K, then 0x1FFF_F800 - 0x1FFF_FFFF will wrap to 0~2K of information page address space;		

**表 5AHB-to-APB 地址空间**

Boundary Address	Size	Destination Slave
0x4000_0000-0x4000_03FF	1K	Flash控制器
0x4000_0400-0x4000_07FF	1K	TIM2
0x4000_0800-0x4000_0FFF	2K	Reserve
0x4000_1000-0x4000_13FF	1K	TIM5
0x4000_1400-0x4000_17FF	1K	TIM6
0x4000_1800-0x4000_1FFF	2K	Reserve
0x4000_2000-0x4000_23FF	1K	TIM3
0x4000_2400-0x4000_27FF	1K	TIM4
0x4000_2800-0x4000_2BFF	1K	RTC
0x4000_2C00-0x4000_2FFF	1K	WDT
0x4000_3000-0x4000_33FF	1K	Basetimer
0x4000_3400-0x4000_37FF	1K	Reserve
0x4000_3800-0x4000_3BFF	1K	SAU1
0x4000_3C00-0x4000_3FFF	1K	Reserve
0x4000_4000-0x4000_43FF	1K	UART0
0x4000_4400-0x4000_47FF	1K	UART1
0x4000_4800-0x4000_53FF	3K	Reserve
0x4000_5400-0x4000_57FF	1K	I2C0
0x4000_5800-0x4000_5BFF	1K	I2C1

Boundary Address	Size	Destination Slave
0x4000_5C00-0x4000_5FFF	1K	DAC
0x4000_6000-0x4000_63FF	1K	CMP
0x4000_6400-0x4000_73FF	4K	Reserve
0x4000_7400-0x4000_77FF	1K	IOW
0x4000_7800-0x4000_FFFF	34K	Reserve
0x4001_0000-0x4001_07FF	2K	System Reg
0x4001_0800-0x4001_0BFF	1K	EBUS
0x4001_0C00-0x4001_1FFF	5K	Reserve
0x4001_2000-0x4001_23FF	1K	CAN
0x4001_2400-0x4001_27FF	1K	ADC
0x4001_2800-0x4001_2BFF	1K	Reserve
0x4001_2C00-0x4001_2FFF	1K	TIM0
0x4001_3000-0x4001_33FF	1K	SAU0
0x4001_3400-0x4001_3FFF	3K	Reserve
0x4001_4000-0x4001_43FF	1K	TIM1
0x4001_4400-0x4001_47FF	1K	TIM7
0x4001_4800-0x4001_4BFF	1K	TIM_COM
0x4001_4C00-0x4001_4FFF	1K	TIM8
0x4001_5000-0x4001_53FF	1K	TIM9
0x4001_5400-0x4001_57FF	1K	TIM10
0x4001_5800-0x4001_5BFF	1K	TIM11
0x4001_5C00-0x4001_FFFF	41K	Reserve

## 6 电气特性

### 6.1 测试条件

除非特别说明，所有电压的都以 VSS 为基准。

#### 6.1.1 最大值和最小值

除非特别说明，所有产品的最小值和最大值已在出厂通过测试，测试的环境温度为  $T_A=25^{\circ}\text{C}$  和  $T_A=T_{Amax}$  ( $T_{Amax}$  产品的温度范围匹配)，所有最小和最大值可以在最坏的环境温度、供电电压和时钟频率条件下得到保证。

部分数据是根据特性分析、设计仿真及工艺特性分析综合评估获得，会在脚注中说明，不会在出厂进行测试。结合综合评估结果，经过样本测试后，取平均值加上或减去 3 倍标准差（平均值  $\pm 3\sigma$ ）得到最大值和最小值。

#### 6.1.2 典型值

除非特别说明，典型数据是基于  $T_A=25^{\circ}\text{C}$  和  $V_{CCIO}=V_{CCA}=5\text{V}$  ( $1.8\text{V}\leq V_{CC}\leq 5.5\text{V}$  电压范围)。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，全温度范围分析得到，其中 95% 产品的误差小于等于给出的数值 (平均值  $\pm 2\sigma$ )。

#### 6.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

#### 6.1.4 负载电容

测量引脚参数时，负载条件如下图。

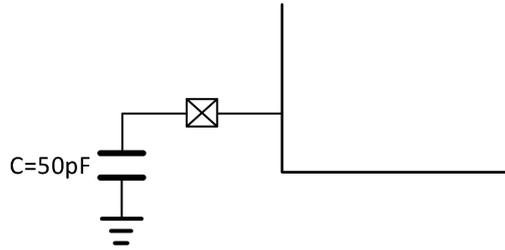


图 3 引脚负载条件

### 6.1.5 供电方案

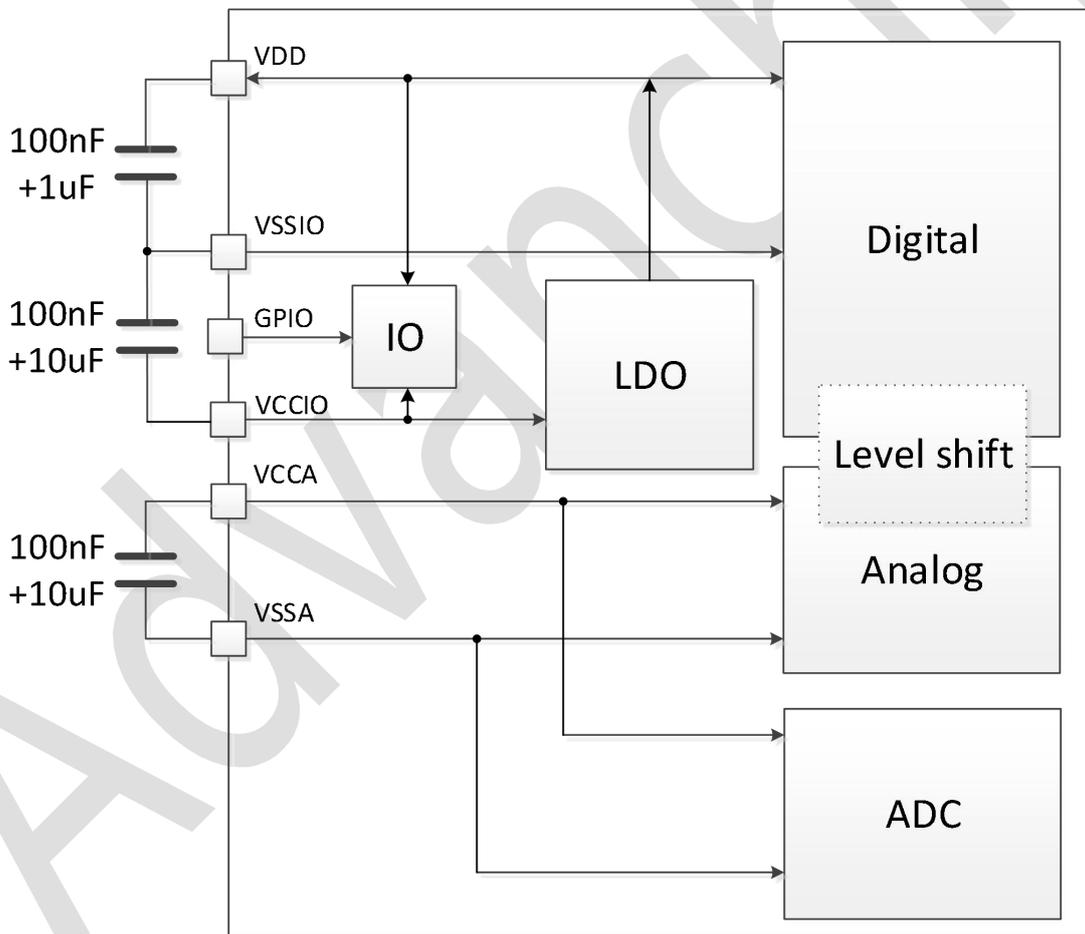


图 4 芯片电源方案

注：上图中每个电源对（VCCIO/VSSIO，VDD/VSSIO 等）必须陶瓷电容滤波去耦。电容尽量靠近器件引脚

## 6.2 极限参数

若器件上的载荷超过列表中给出的极限参数,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味在此条件下器件的功能正常。器件长期工作在极限条件下会影响器件的可靠性。

表 6 电压特性

符号	描述	最小值	最大值	单位
VDD-VSSIO	外部主电源电压	- 0.3	1.65	V
VCCIO-VSSIO	外部 IO 和模拟电源电压	- 0.3	5.5	V
VIN	其他引脚输入电压	VSSIO - 0.3	5.5	V

表 7 电流特性

符号	描述	最大值	单位
$\Sigma I_{VCC}$	经过 VCCIO/VCCA 电源线的总电流(供应电流)(注 1)	120	mA
$\Sigma I_{VSS}$	经过 VSSIO/VSSA 地线的总电流(流出电流)(注 1)	-120	mA
$I_{VCC(PIN)}$	经过每个 VCCIO/VCCA 电源线的最大电流(供应电流)(注 1)	100	mA
$I_{VSS(PIN)}$	经过每个 VSSIO/VSSA 地线的最大电流(流出电流)(注 1)	-100	mA
$I_{IO(PIN)}$	任意 I/O 和控制引脚上的输出灌电流	3	mA
	任意 I/O 和控制引脚上的输出拉	-3	mA
$\Sigma I_{IO(PIN)}$	所有 I/O 和控制引脚上的总输出灌电流(注 2)	90	mA
	所有 I/O 和控制引脚上的总输出拉电流(注 2)	120	mA
$I_{INJ(PIN)}$	任意 I/O 和控制引脚上的总注入电流(注 3)	$\pm 5$	mA
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流(注 4)	$\pm 20$	mA

注 1: 所有的电源(VCCIO, VCCA)和地(VSSIO, VSSA)引脚必须始终连接到外部允许范围内的供电系统上。

注 2: 此电流消耗必须正确分布至所有 I/O 和控制引脚。对于多引脚数的封装 (LQFP48), 总输出电流一定不能在两个连续电源引脚间灌/拉。

注 3: 当  $V_{IN} > V_{CCIO}$  时, 会产生正向注入电流; 当  $V_{IN} < V_{SSIO}$  时, 会产生反向注入电流。不得超出  $I_{INJ}$ 。有关允许的最大输入电压值的信息, 请参见表: 电压特性。

注 4: 当几个 I/O 口同时有注入电流时,  $\Sigma I_{INJ}$  的最大值为正向注入电流与反向注入电流 (瞬时值) 绝对值之和。

**表 8 温度特性**

符号	描述	值	单位
$T_{STG}$	存储温度范围	-55 to +160	°C
$T_J$	最大节温度	125	°C

## 6.3 工作条件

### 6.3.1 通用工作条件

**表 9 通用工作条件**

符号	参数	条件	最小值	最大值	单位
$f_{FCLK}$	内部 AHB 时钟频率	-	0	48	MHz
VDD	外部主电源电压	-	1.35	1.65	V
VCCIO	外部 IO 电源电压	必须大于 VDD 电压	1.8	5.5	V
VCCA	模拟电源电压	必须大于 VDD 电压	1.8	5.5	V
$V_{IN}$	IO 输入电压	所有 IO	-0.3	5.5	V
$T_A$	环境温度	最大功率耗散	-40	85	°C
		低功耗耗散	-40	105	°C
$T_J$	节温范围	-	-40	125	°C

注 1: 对于电压高于  $V_{CCIOx} + 0.3\text{ V}$  的工作, 内部上拉电阻必须禁用。

注 2: 在低功率耗散状态下, 只要不超过最大结温,  $T_A$  便可以扩展温度范围。

### 6.3.2 上电和掉电的工作条件

下表中给出的参数是在通用工作条件下测试得出

表 10 上电和掉电特性

符号	参数	条件	最小值	最大值	单位
$t_{VDD}$	上升速率	负载电容 1 $\mu$ F	3.5	$\infty$	$\mu$ s/V
	下降速率		200	$\infty$	

表 11 POR 和 PDR 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR}$	上电复位阈值	上升沿	1.8	2.0	2.2	V
$V_{PDR}$	掉电复位阈值	下降沿	1.7	1.8	1.9	V
$V_{PDR\_hyst}$	PDR 迟滞	-	-	200	-	mV

### 6.3.3 内嵌参考电压

下表中给出的参数是在通用工作条件下测试得出

表 12 内嵌参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REFINT}$	内部参考电压	$-40\text{ }^{\circ}\text{C} < T_A < +105\text{ }^{\circ}\text{C}$	1.188	1.2	1.212	V
$\Delta V_{REFINT}$	全温度范围, 内部参考电压分布	$V_{CCA}=5\text{ V}$	-	6	8	mV

$T_{COEFF}$	温漂系数	VCCA=5V	-	30	-	ppm/°C
-------------	------	---------	---	----	---	--------

### 6.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

下表给出的参数，是在通用工作条件下测试得出。

**表 13 VCC 典型功耗**

符号	参数	条件	最小值	典型值	最大值	单位
$I_{VCC}$	正常工作模式	使能所有外设， PLL 打开 $f_{CLK}=48MHz$	-	12	-	mA
		使能所有外设， PLL 关闭 $f_{CLK}=8MHz$	-	8	-	mA
$I_{VCC}$	停止模式	所有时钟关闭	-	20	-	uA

### 6.3.5 外部时钟源特性

外部振荡器产生外部高速时钟（HOSC），外部时钟信号必须符合 I/O 端口特性。

**表 14 高速外部时钟特性**

符号	参数	条件	最小值	典型值	最大值 <sup>(1)</sup>	单位
$f_{HOSC}$	HOSC 频率	-	4	8	26	MHz

$R_F$	反馈电阻	-	-	1	-	MΩ
$I_{VCCIO}$	HOSC 功耗	VCCIO = 5.0 V, Rm = 30 Ω, 8 MHz	-	1.5	-	mA
$g_m$	HOSC 跨导	启动	8.6	25	36	mA/V
$t_{SU(HOSC)}$	启动时间	VCCIO 稳定	-	2	-	ms

注 1: 由设计保证, 未经生产测试。

外部振荡器产生外部低速时钟 (LOSC), 外部时钟信号必须符合 I/O 端口特性。

**表 15 低速外部时钟特性**

符号	参数	条件	最小值	典型值	最大值 <sup>(1)</sup>	单位
$f_{LOSC}$	LOSC 频率	-	-	32.768	-	KHz
$R_F$	反馈电阻	-	-	10	-	MΩ
$I_{VCCIO}$	LOSC 功耗	VCCIO = 5.0 V, Rm = 30 Ω, 32.768KHz	-	1.5	-	uA
$g_m$	LOSC 跨导	启动	9	26	120	uA/V
$t_{SU(LOSC)}$	启动时间	VCCIO 稳定	-	500	-	ms

注 1: 由设计保证, 未经生产测试。

### 6.3.6 内部时钟源特性

内部高速时钟振荡器 (HIRC)

**表 16 内部高速时钟特性**

符号	参数	条件	最小值	典型值	最大值 <sup>(1)</sup>	单位
----	----	----	-----	-----	--------------------	----

$f_{HIRC}$	HIRC 频率	-	-	8	-	MHz
TRIM	校准步长	-	-	0.4	-	%
Duty <sub>(HIRC)</sub>	占空比	-	-	50	-	%
ACC <sub>HIRC</sub>	HIRC 精度	$T_A = 25^\circ\text{C}$	-0.5	-	+0.5	%
		$T_A = -40 \text{ to } 105^\circ\text{C}$	-1	-	+1	
$t_{su(HIRC)}$	HIRC 启动时间	-	10	-	-	us
$I_{VDD(HIRC)}$	HIRC 功耗	-	-	100	-	uA

注 1：由设计保证，未经生产测试。

内部低速时钟振荡器（LIRC）

**表 17 内部低速时钟特性**

符号	参数	条件	最小值	典型值	最大值 <sup>(1)</sup>	单位
$f_{LIRC}$	LIRC 频率	-	-	32	-	KHz
Duty <sub>(LIRC)</sub>	占空比	-	-	50	-	%
ACC <sub>LIRC</sub>	LIRC 精度	$T_A = 25^\circ\text{C}$	-1	-	+1	%
		$T_A = -40 \text{ to } 105^\circ\text{C}$	-3	-	+3	
$t_{su(LIRC)}$	LIRC 启动时间	-	-	50	-	us
$I_{VDD(LIRC)}$	LIRC 功耗	-	-	20	-	uA

注 1：由设计保证，未经生产测试。

### 6.3. 7PLL 特性

下表给出的参数是在通用工作条件下测试得出。

表 18PLL 特性

符号	参数	条件	最小值	典型值	最大值(1)	单位
$f_{PLL\_IN}$	PLL 输入时钟	-		2	-	MHz
	PLL 输入时钟占空比	-	45	50	55	%
$f_{PLL\_OUT}$	PLL 输出时钟	-	-	48	-	MHz
	PLL 输出时钟占空比	-	45	50	55	%
$t_L$	PLL 锁定时间	-	-	-	200	us

注 1: 由设计保证, 未经生产测试。

### 6.3.8 存储器特性

FLASH 闪存存储器

除非特别说明, 所有特性参数是在  $T_A = -40 \sim 105^\circ \text{C}$  得到。

表 19 存储器特性

符号	参数	条件	最小值	典型值	最大值 <sup>(1)</sup>	单位
$t_{prog}$	32 位编程时间	$T_A = -40 \text{ to } +105^\circ \text{C}$	-	-	20	us
$t_{ERASE}$	页擦除时间	$T_A = -40 \text{ to } +105^\circ \text{C}$	-	-	5	ms
$t_{ME}$	整片擦除	$T_A = -40 \text{ to } +105^\circ \text{C}$	-	-	40	ms
$I_{VDD}$	供电电流	编程模式	-	-	3.5	mA
		擦写模式	-	-	2	mA
$N_{END}$	寿命 (擦写次数)	$T_A = -40 \text{ to } +105^\circ \text{C}$	20	-	-	kcycle
$t_{RET}$	数据保存期限	$T_A = 85^\circ \text{C}$	10	100	-	Year

注 1: 由设计保证, 未经生产测试。

### 6.3.9 ESD 特性

根据每种引脚组合，对每个样本的引脚施加静电放电（一个正脉冲后接着一个负脉冲，两个脉冲间隔一秒钟）。样本大小取决于器件中供电引脚的数目（3 个器件 x (n+1) 个供电引脚）。此项测试符合 JESD22-A114/C101 标准。

**表 20 ESD 特性**

符号	参数	条件	封装	等级	最大值 <sup>(1)</sup>	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = +25\text{ }^\circ\text{C}$	最大封装	-	8000	V

**表 21 LU 特性**

符号	参数	条件	最大值 <sup>(1)</sup>	单位
$L_U$	静电门锁	$T_A = +25\text{ }^\circ\text{C}$	-200/+200	mA

注 1：基于特征结果，不在生产中测试。此测试项委托第三方测试认证机构测试，并提供相关报告。

### 6.3.10 I/O 特性

下表给出的参数，是在通用工作条件下测试得出。

#### I/O 静态特性

**表 22 I/O 静态特性**

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}$	低电平输入电压	所有引脚	-	-	$0.3 \cdot V_{CCIO}$	V
$V_{IH}$	高电平输入电压	所有引脚	$0.7 \cdot V_{CCIO}$	-	-	V
$V_{hys}$	施密特触发器迟滞	所有引脚	-	0.5	-	V
$I_{lkg}$	输入漏电流	所有引脚, $V_{IN} = V_{SSIO}$	-	-	2	$\mu\text{A}$
RPU	上拉电阻	$V_{IN} = V_{CCIO}$	-	35	-	k $\Omega$
RPD	下拉电阻		-	35	-	k $\Omega$
CIO	IO 引脚电容	-	-	1.5	-	pF

### 输出驱动电流

GPIO(通用输入/输出端口)可支持多达-5mA 拉电流或 10mA 灌电流，放宽 VOL/VOH 的条件下，可达到-10mA 拉电流或 20mA 灌电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 6.2 节给出的绝对最大额定值。

### 输出电压

**表 23 I/O 输出电压特性**

符号	参数	条件	最小值	最大值	单位
V <sub>OL</sub>	IO 输出低电压	I <sub>IO</sub>   = 10mA, VCCIO= 5V D_DS=1	-	0.4	V
V <sub>OH</sub>	IO 输出高电压	I <sub>IO</sub>   = 5 mA, VCCIO= 5V D_DS=1	VCCIO-0.4	-	V

### I/O 交流特性

下表给出的参数，是在通用工作条件下测试得出。

**表 24 I/O 交流特性**

符号	参数	条件	最小值	最大值	单位
f <sub>max(I/O)</sub>	最大频率	CL = 10 pF, VCCIO=5.0 V D_DS=1	-	16	MHz
t <sub>f</sub>	输出下降时间		-	2.78	ns
t <sub>r</sub>	输出上升时间		-	3.02	
t <sub>f</sub>	输出下降时间	CL = 10 pF, VCCIO=5.0 V D_DS=0	-	5.3	
t <sub>r</sub>	输出上升时间		-	5.62	
tdo_LH	Dout 到 SPAD 延时 (由低到高)	CL = 10 pF, VCCIO=5.0 V D_DS=1	-	10.18	
tdo_HL	Dout 到 SPAD 延时 (由高到低)		-	11.25	
tdo_LH	Dout 到 SPAD 延时 (由低到高)	CL = 10 pF, VCCIO=5.0 V D_DS=0	-	11.29	
tdo_HL	Dout 到 SPAD 延时 (由高到低)		-	12.38	

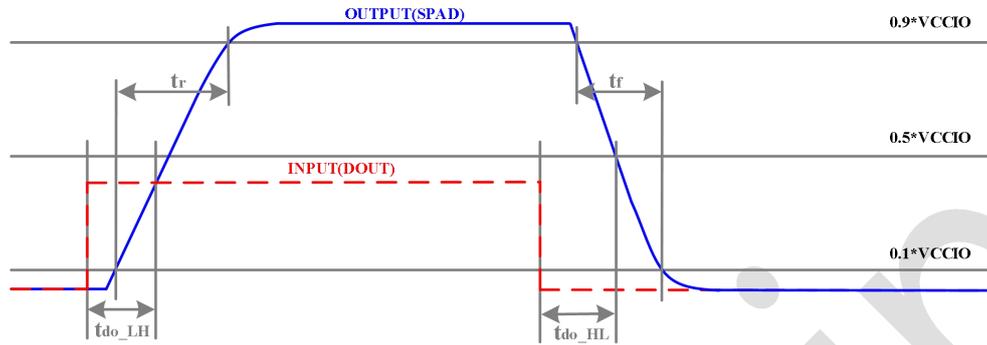


图 510 交流特性定义

### 6.3.11 LVD 特性

当电源电压跌落某个特定触发点时，LVD（低电压检测）会发出复位或警告信号,当电源电压超过此触发点时，LVD 会释放复位或警告信号。

表 25 LVDx(x=1,2)特性

符号	参数	条件	最小值	典型值	最大值 <sup>(1)</sup>	单位
V <sub>VDx_LVL</sub>	LVD 触发电压	LVDx_SEL[3:0]=4'b0000	1.75	1.8	1.85	V
		LVDx_SEL[3:0]=4'b0001	1.85	1.9	1.95	
		LVDx_SEL[3:0]=4'b0010	1.95	2.0	2.05	
		LVDx_SEL[3:0]=4'b0011	2.15	2.2	2.25	
		LVDx_SEL[3:0]=4'b0100	2.35	2.4	2.45	
		LVDx_SEL[3:0]=4'b0101	2.55	2.6	2.65	
		LVDx_SEL[3:0]=4'b0110	2.75	2.8	2.85	
		LVDx_SEL[3:0]=4'b0111	2.95	3.0	3.05	
		LVDx_SEL[3:0]=4'b1000	3.15	3.2	3.25	

	LVDx_SEL[3:0]=4'b1001	3.35	3.4	3.45
	LVDx_SEL[3:0]=4'b1010	3.55	3.6	3.65
	LVDx_SEL[3:0]=4'b1011	3.75	3.8	3.85
	LVDx_SEL[3:0]=4'b1100	3.95	4.0	4.05
	LVDx_SEL[3:0]=4'b1101	4.15	4.2	4.25
	LVDx_SEL[3:0]=4'b1110	4.35	4.4	4.45
	LVDx_SEL[3:0]=4'b1111	4.45	4.5	4.55

### 6.3.12 复位引脚特性

XRSTJ 引脚输入驱动使用 CMOS 工艺，内建一个保持开启的上拉电阻  $R_{PU}$ 。

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

表 26 复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}$	低电平输入电压	$V_{CCIO}=5.0V$	-	-	$0.3 \cdot V_{CCIO}$	V
$V_{IH}$	高电平输入电压	$V_{CCIO}=5.0V$	$0.7 \cdot V_{CCIO}$	-	-	V
$V_{hys}$	施密特触发器迟滞	$V_{CCIO}=5.0V$	-	0.5	-	V
$R_{PU}$	上拉电阻	$V_{IN} = V_{CCIO}$	-	35	-	$k\Omega$

### 6.3.13 ADC 特性

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

**表 27 ADC 特性**

符号	参数	条件	最小值	典型值	最大值	单位
VCCA	ADC 电源电压	-	2.4	5.0	5.5	V
$I_{VCCA(ADC)}$	ADC 功耗	VCCA= 5.0V $f_{ADC}=16\text{MHz}$	-	1	-	mA
$f_{ADC}$	ADC 时钟频率	-	1	-	16	MHz
$f_S$	采样率	12 位分辨率	-	-	1	Msp/s
$V_{AIN}$	转换电压范围	-	0	-	VCCA	V
$R_{AIN}$	外部输入阻抗 注：详见表 30	-	-	-	128	k $\Omega$
$C_{ADC}$	内部采样和保持电容	-	-	7	-	pF
$t_S^{(1)}$	采样时间	-	3	12	512	$1/f_{ADC}$
$t_{PWR\_UP}^{(1)}$	上电时间	-	-	-	5	$\mu\text{s}$
$t_{CONV}^{(1)}$	转换时间	-	-	-	12	$1/f_{ADC}$

注 1：由设计保证，未经生产测试。

**表 28 ADC 精度**

符号	参数	条件	典型值	最大值	单位
ET	总绝对误差	$f_{ADC}=16\text{MHz}$ VCCA= 5.0V $T_A = 25\text{ }^\circ\text{C}$	-	$\pm 5$	LSB
EO	偏移误差		-	$\pm 2$	
EG	增益误差		-	$\pm 1$	
ED	微分线性误差		-	$\pm 2$	
EL	积分线性误差		-	$\pm 4$	

**表 30ADC RAIN max 与采样时间关系<sup>(1)</sup>**

符号	参数	条件		典型值	最大值 <sup>(1)</sup>	单位
R <sub>AIN</sub>	外部输入阻抗	VCCA > 3.0V  f <sub>ADC</sub> = 16MHz	t <sub>S</sub> =3 ADC clock cycles	-	0.26	kΩ
			t <sub>S</sub> =4ADC clockcycles	-	0.51	
			t <sub>S</sub> =6ADC clockcycles	-	1.01	
			t <sub>S</sub> =8ADC clockcycles	-	1.51	
			t <sub>S</sub> =12ADC clockcycles	-	2.52	
			t <sub>S</sub> =16ADC clockcycles	-	3.53	
			t <sub>S</sub> =24ADC clockcycles	-	5.54	
			t <sub>S</sub> =32ADC clockcycles	-	7.55	
			t <sub>S</sub> =48ADC clockcycles	-	11.58	
			t <sub>S</sub> =64ADC clockcycles	-	15.61	
			t <sub>S</sub> =96ADC clockcycles	-	23.66	
			t <sub>S</sub> =128 ADC clockcycles	-	31.72	
			t <sub>S</sub> =192ADC clockcycles	-	47.82	
			t <sub>S</sub> =256ADC clockcycles	-	63.93	
t <sub>S</sub> =384ADC clockcycles	-	96.15				
t <sub>S</sub> =512ADC clockcycles	-	128.37				

注 1: 以上数据为要求采样误差小于 1/4LSB 情况下的计算结果。

### 6.3.14 DAC 特性

除非特别说明，下表列出的参数是在通用工作条件下测试得出。

**表 29DAC 特性**

符号	参数	条件	最小值	典型值	最大值	单位
VCCA	DAC 电源电压	-	2.4	5.0	5.5	V
I <sub>VCCA</sub>	DAC 功耗	VCCA= 5.0V	-	0.4	-	mA
DAC_OUT	DAC 输出范围	内部通道,RL=5K Ω,CL=50pF	0.2	-	VCCA-0.2	V
		外部通道,Pad 路径阻抗 300Ω , RL=5K Ω,CL=50pF	0.2	-	VCCA-0.2	V
Offset	失调电压		-	±1	-	LSB
DNL	微分线性误差		-	±1	-	LSB
INL	积分线性误差		-	±2	-	LSB
Gain Error	增益误差	VCCA=5.0V,输入从 0~ 0x3D4	-	-1	-	LSB
SNDR <sup>(1)</sup>	信噪失真比	VCCA=5.0V,1KHz, 1Msps	-	61.2	-	dB
T <sub>setup</sub> <sup>(1)</sup>	建立时间	VCCA=5.0V,输入从 0 跳 变到 0x3D4 建立误差≤± 1LSB, RL=5K Ω,CL=50pF	-	2	-	μs
t <sub>PWR_UP</sub> <sup>(1)</sup>	上电稳定时间	VCCA=5.0V,当输入 =0x3D4 时输出稳定误差 ≤±1LSB, RL=5K Ω,CL=50pF	-	4	-	μs

注 1: 由设计保证，未经生产测试。

### 6.3.15 CMP 特性

表 2CMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
VCCA	CMP 电源电压		2.4	5.0	5.5	V
$I_{VCCA}$	CMP 功耗	VCCA= 5.0V	-	1	-	$\mu$ A
VCM	共模输入电压		VSSA		VCCA	V
OUTPUT	CMP 输出范围		VSSA	-	VCCA	V
Offset <sup>(1)</sup>	失调电压		-	$\pm 5$	-	LSB
$V_{HYS}^{(1)}$	输入迟滞电压		-	0 25 50 100	-	mV
$T_{PGD}^{(1)}$	响应时间	$V_{IN+}=V_{IN-}\pm 0.1V, CL=10pF$	-	200	-	ns
$t_{PWR\_UP}^{(1)}$	上电稳定时间	$V_{IN+}=V_{IN-}\pm 0.1V, CL=10pF$	-	1.5	-	$\mu$ s

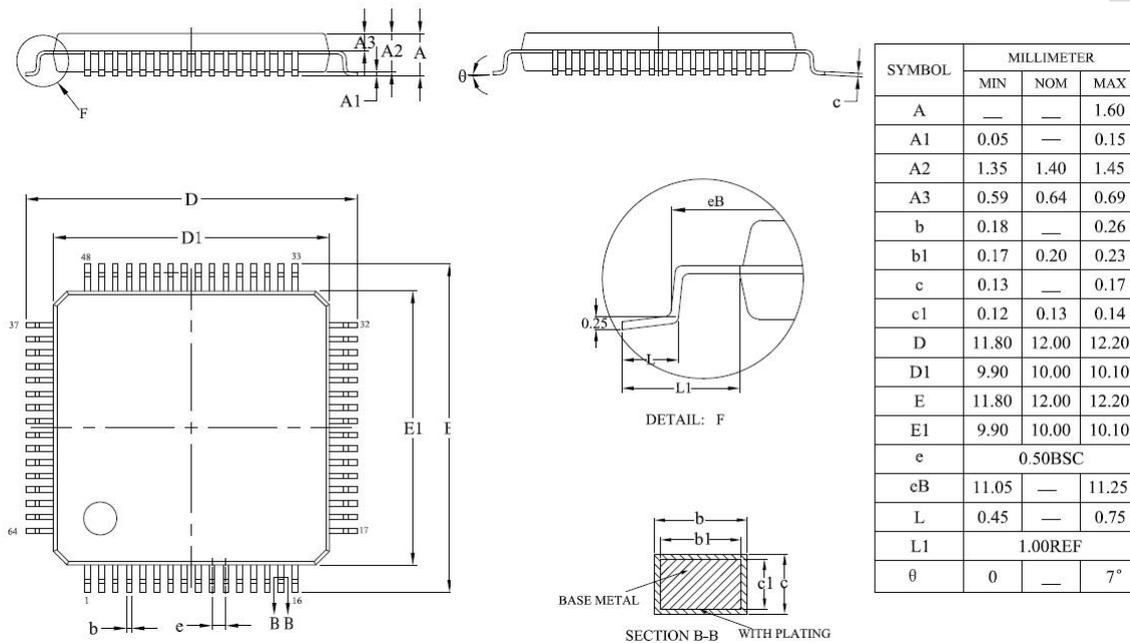
注 1: 由设计保证, 未经生产测试。

Advantchip

## 7 封装特性

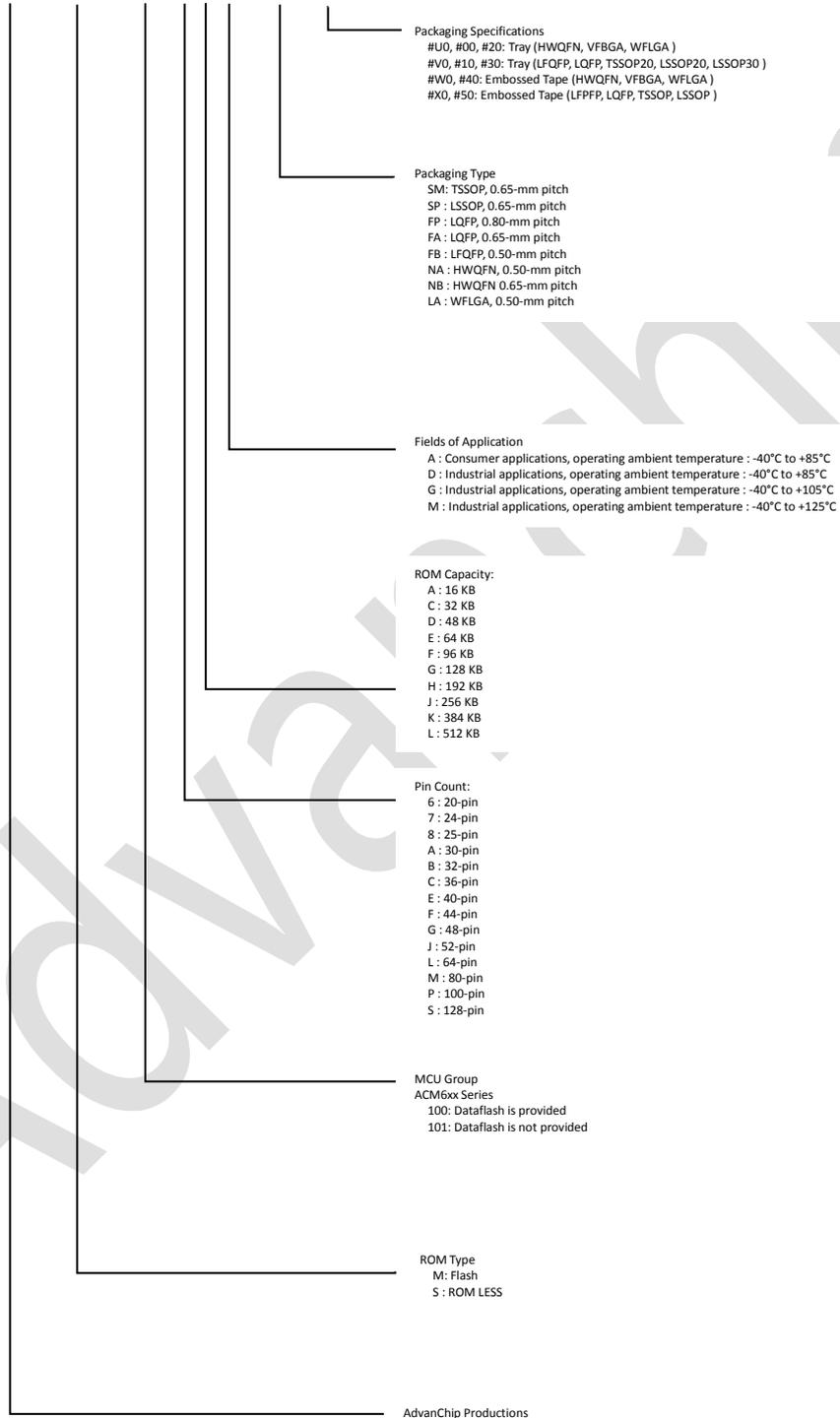
ACM10GX 系列芯片支持 LQFP64 封装，对应的封装尺寸如下。

### 7.1 LQFP64L 封装尺寸



## 8 产品命名

Part Number: AC M 100 LEA EB #V0



## 9 版本修改记录

版本号	修订者	修订日期	修订内容
V1.0	Daniel	2023-1-1	初版发布